

Microdispositifs pour applications capteurs

L. NI, A-C. SALAUN, R. ROGEL, L. PICHON

Université de Rennes1
IETR/ Groupe Microélectronique
Campus de Beaulieu - Bat 11B, 263, av. général Leclerc
35042 Rennes Cedex

Email : liang.ni@univ-rennes1.fr

Résumé

L'essentiel de ce travail de recherche consiste à mettre au point un procédé de fabrication d'une nouvelle structure à effet de champ apte à augmenter la sensibilité de détection d'espèces chimiques ou biologiques. Le travail prévoit la réalisation d'une structure de type nanofilaire pour le canal du transistor. L'intérêt de cette configuration est d'obtenir une surface d'échange importante entre la couche active et l'environnement ambiant. L'objectif final est d'étudier les potentialités d'utilisation de ces structures dans la réalisation de microcapteurs à très haute sensibilité.

1. Introduction

La demande de réalisation de composants électroniques de plus en plus petits se heurte à présent à la résolution limite des moyens de lithographie conventionnels et nécessite de mettre en œuvre de nouvelles solutions. Parmi elles, la synthèse d'objets tels que des nanofils semi-conducteurs, possédant des diamètres d'une dizaine de nanomètres ou moins, semble très prometteuse pour former de nouveaux éléments actifs et/ou des connexions pour les futurs composants électroniques. Grâce à leurs propriétés électriques remarquables et à un ratio surface sur volume élevé, les applications potentielles des nanofils de silicium (SiNWs) [1,2] pour la réalisation de dispositifs électroniques sont nombreuses, en particulier pour des capteurs à très haute sensibilité.

Les nanofils de silicium peuvent être préparés i) : par la méthode top-down qui nécessite l'utilisation de moyens lithographiques coûteux (UV lointains, e-beam), ou bien ii) par la méthode bottom-up telle que la croissance VLS (Vapor Liquid Solid) effectuée à l'aide de catalyseur métallique [3]. Cette dernière approche nécessite de prendre en compte différents paramètres tels que des risques de contamination par les métaux, le positionnement des nanofils, ainsi que le contrôle des paramètres structuraux (diamètre, longueur et orientation des SiNWs).

L'objectif de ce travail de thèse consiste à réaliser des structures par les deux approches précédemment citées et d'en étudier les potentialités d'utilisation pour la réalisation de microcapteurs à très haute sensibilité.

2. Réalisation de dispositifs à partir de nanofils de silicium

2.1) Voie Bottom up : croissance des nanofils de silicium monocristallin par la technique VLS (Vapor Liquid Solid)

Sur un substrat de silicium, on dépose une fine couche de métal (Al, Au, Cr, Ni,...) - de quelques nanomètres d'épaisseur - qui servira de catalyseur pour la croissance des nanofils. D'après le diagramme de phase Si-métal, le mélange des deux éléments donne un eutectique de telle sorte qu'à l'interface métal-silicium une phase liquide apparaît dès que la température s'élève au-dessus de la température d'eutectique. Le métal se sépare en fines gouttelettes nanométriques qui se répartissent sur la surface du substrat de silicium.

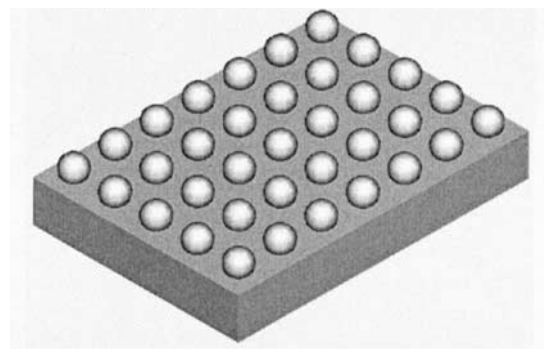


Figure 1 : formation de nano-gouttelettes de métal sur Silicium

Au cours d'un procédé de croissance CVD (Chemical Vapor Deposition), un gaz contenant le silicium (principalement le silane) va se décomposer au niveau des gouttelettes et le silicium va diffuser à l'intérieur de celles-ci. Lorsque les gouttelettes sont saturées, le silicium va se précipiter à la base de celles-ci créant des

liaisons avec celui du substrat permettant la croissance du nanofil.

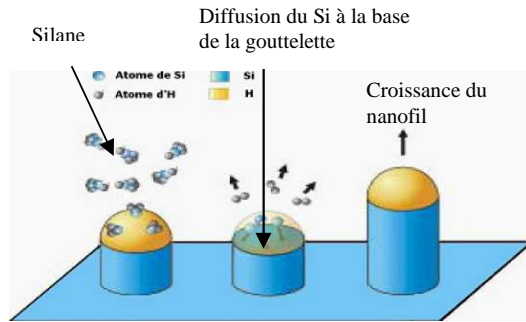


Figure 2 : mécanisme de croissance des nanofils de silicium par VLS

Le diamètre des nanofils dépend de celui des nanogouttelettes de métal. Le laboratoire dispose d'un évaporateur de métaux capable d'atteindre des épaisseurs nanométriques grâce à une cinétique de dépôt lente.

2.2) Application à la réalisation de résistances (fig. 3)

Nous présentons ici une structure de type capteur à base de nanofils réalisée pour la détection d'espèces chimiques ou biologiques. Le processus de fabrication comprend 3 étapes de photolithographie. Ce capteur peut être réalisé soit sur des substrats de silicium soit sur tout autre type de substrats compatibles avec l'utilisation d'une température maximale de 600°C .

Tout d'abord, une couche d'isolation de SiO_2 est déposée par procédé CVD à pression atmosphérique. Ensuite, une couche de polysilicium est déposée par procédé LPCVD et gravée par plasma pour isoler des dispositifs sur le substrat. Puis une couche sacrificielle de germanium est déposée par LPCVD puis gravée par une solution H_2O_2 . Le catalyseur métallique est ensuite déposé puis recuit favorisant la formation de nanogouttelettes en surface. Après la croissance des nanofils, la couche de germanium est éliminée. Une couche d'aluminium est alors déposée par évaporation thermique puis gravée (3^e masque) pour la réalisation d'électrodes métalliques.

L'objectif visé dans ce type de structure est de mettre en évidence des variations significatives de la conductance (donc de la valeur de la résistance réalisée) liées aux interactions d'espèces chimiques avec la surface des nanofils.

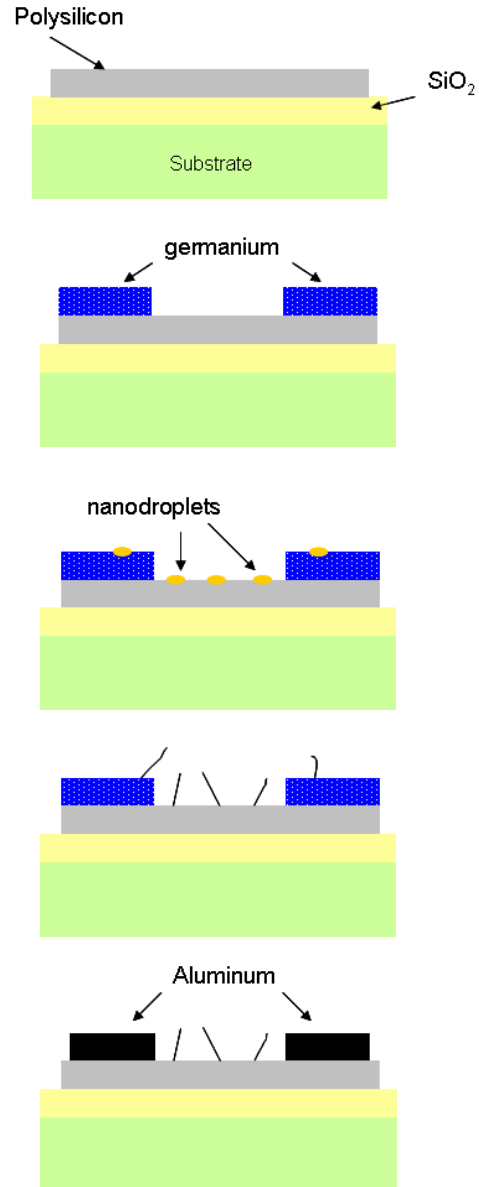


Figure 3 : Fabrication du capteur à base de SiNWs réalisés par la méthode VLS

2.3) Voie Top down : réalisation de nanofils en silicium polycristallin par lithographie UV classique

L'exploitation de la méthode de réalisation des espaceurs dans les transistors MOS nous donne la possibilité de réaliser des structures filaires nanométriques à base de silicium polycristallin. Cette méthode présente l'avantage d'utiliser des moyens de photolithographie UV classiques pour la réalisation au préalable de marches (de polysilicium par exemple) nécessaires à la formation de ces nanofils au pied de ces marches (voir figure 4).

Des études de faisabilité de ces nanofils dans le cadre d'une thèse au sein du laboratoire [4] montrent la possibilité de réaliser des nouveaux transistors dont la structure est illustrée par la figure 5.

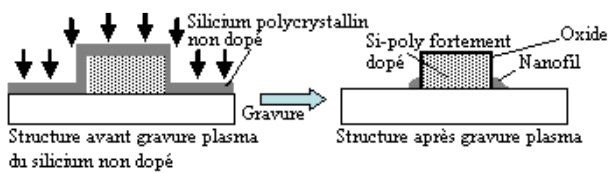


Figure 4 : vue en coupe des nanofils réalisés par la méthode des espaceurs MOS.

2.4) Application à la réalisation de TFTs (fig. 5)

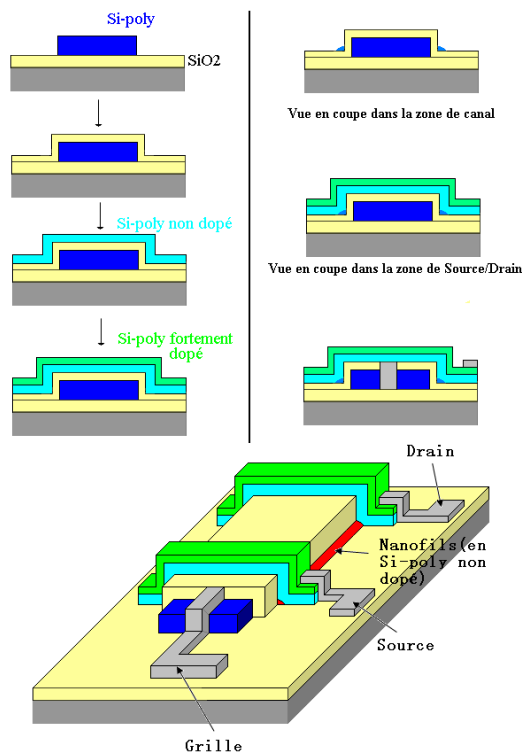


Figure 5 : Fabrication de transistor à base de SiNWs réalisés par la méthode des espaceurs

3. Conclusion

Ce travail de thèse consiste à démontrer la faisabilité de dispositifs microélectroniques à partir de nanofils de silicium réalisés suivant les deux méthodes présentées. L'objectif final est de mettre en évidence les potentialités d'applications de ces dispositifs en tant que microcapteurs innovants à très haute sensibilité.

Références

- [1] F. L. Yang, D. H. Lee, H. Y. Chen, C. Y. Chang, S. D. Liu, and C. C. Huang et al., "5 nm-gate nanowire FinFET," in VLSI Symp. Tech. Dig., 2004, pp. 196-197.
- [2] S. Ecoffey, M. Mazza, V. Pott, D. Bouvet, A. Schmid, and Y. Leblebici et al., "A new logic based on hybrid MOSFET-polysilicon nanowires," in IEDM Tech. Dig., Dec. 2005, pp. 277-280.
- [3] Kuiqing. Peng, Jing. Zhu, "Simultaneous gold deposition and formation of silicon nanowire arrays."
- [4] F. Demami, Groupe Microélectronique, IETR, Université de Rennes 1, Thèse en cours.